



GP-2851  
PATENT  
DOCKET NO. 1232-4478

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s) : Tatsuyuki Tokunaga

AS 4/18/98

Serial No. : 09/189,010 Group Art Unit : 2851

Filed : November 9, 1998

For : PHOTOELECTRIC CONVERSION DEVICE, FOCUS DETECTION DEVICE, METHOD OF CONTROLLING THESE DEVICES, AND STORAGE MEDIUM

CERTIFICATE OF MAILING (37 C.F.R. 1.8a)

RECEIVED

Assistant Commissioner of Patents  
Washington, D.C. 20231

JAN 15 1999

GROUP 2100

Sir:

I hereby certify that the attached Claim to Convention Priority; Certified Copies of Two Priority Documents, and return postcard (along with any paper(s) referred to as being attached or enclosed) and this Certificate of Mailing are being deposited with the United States Postal Service on the date shown below with sufficient postage as first-class mail in an envelope addressed to the: U.S. Patent and Trademark Office, Washington, DC 20231.

Respectfully submitted,

MORGAN & FINNEGAN, L.L.P.

By:

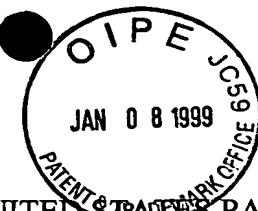
Michael M. Murray

Date: January 4, 1999

Mailing Address:

MORGAN & FINNEGAN, L.L.P.  
345 Park Avenue  
New York, New York 10154  
(212) 758-4800  
(212) 751-6849 Telecopier

Docket: 1232-4478



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s) : Tatsuyuki Tokunaga

Serial No. : 09/189,010 Group Art Unit : 2851

Filed : November 9, 1998

For : PHOTOELECTRIC CONVERSION DEVICE, FOCUS DETECTION DEVICE, METHOD OF CONTROLLING THESE DEVICES, AND STORAGE MEDIUM

ASSISTANT. COMMISSIONER OF PATENTS AND TRADEMARKS  
Washington, D.C. 20231

RECEIVED  
JAN 13 1999

CLAIM TO CONVENTION PRIORITY

GROUP 2100

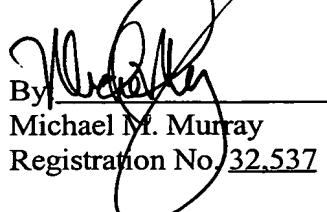
In the matter of the above-identified application and under the provisions of 35 U.S.C. §119 and 37 C.F.R. §1.55 applicants claim the benefit of the following prior applications:

Application filed in : Japan  
Serial No. : 9-313432  
Filing Date : 11/14/97

Application filed in : Japan  
Serial No. : 10-009064  
Filing Date : 1/20/98

1.  Pursuant to the Claim to Priority, applicants submit duly certified copies of said foreign application.
2.  A duly certified copy of said foreign application is in the file of application Serial No. \_\_\_\_\_, filed \_\_\_\_\_.

Respectfully submitted,  
MORGAN & FINNEGAN

By:   
Michael M. Murray  
Registration No. 32,537

Dated: January 4, 1999

Mailing Address:  
MORGAN & FINNEGAN  
345 Park Avenue  
New York, New York 10154  
(212) 758-4800 Telephone



(Translation of the front page  
of the priority document of  
Japanese Patent Application  
No. 9-313432)

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of  
the following application as filed with this Office.

Date of Application : November 14, 1997  
Application Number : Patent Application  
9-313432  
Applicant(s) : Canon Kabushiki Kaisha

RECEIVED

JAN 15 1999

GROLIP 2100

December 4, 1998

Commissioner,  
Patent Office

Takeshi ISAYAMA

Certification Number 10-3097927



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

CFN 139045

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 1997年11月14日

出願番号  
Application Number: 平成 9年特許願第313432号

出願人  
Applicant(s): キヤノン株式会社

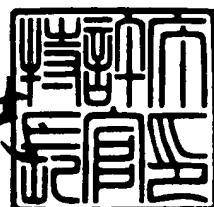
CERTIFIED COPY OF  
PRIORITY DOCUMENT

RECEIVED  
JAN 13 1999  
GROUP 2100

1998年12月 4日

特許庁長官  
Commissioner,  
Patent Office

佐山 建



出証番号 出証特平10-3097927

【書類名】 特許願  
【整理番号】 3574006  
【提出日】 平成 9年11月14日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04N 5/00  
【発明の名称】 光電変換装置、その制御方法、焦点検出装置、及び記憶媒体  
【請求項の数】 20  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
【氏名】 徳永 辰幸  
【特許出願人】  
【識別番号】 000001007  
【氏名又は名称】 キヤノン株式会社  
【代理人】  
【識別番号】 100090273  
【弁理士】  
【氏名又は名称】 國分 孝悦  
【電話番号】 03-3590-8901  
【手数料の表示】  
【予納台帳番号】 035493  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9705348  
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 光電変換装置、その制御方法、焦点検出装置、及び記憶媒体

【特許請求の範囲】

【請求項 1】 複数画素からなる光電変換素子及び所定の制御情報を記憶する記憶手段を含む光電変換手段と、

上記記憶手段に記憶された制御情報に基づいて上記光電変換手段での電荷蓄積動作を制御する制御手段とを備えることを特徴とする光電変換装置。

【請求項 2】 上記光電変換手段は、上記光電変換素子における蓄積電荷の状態をモニタ出力するモニタ手段を更に含み、

上記制御手段は、上記記憶手段に記憶された制御情報に基づいて複数の状態情報から任意の状態情報を選択する選択手段と、上記モニタ手段の出力と上記選択手段で選択された状態情報を比較する比較手段とを含み、上記比較手段の比較結果に基づいて上記光電変換手段での電荷蓄積動作を制御することを特徴とする請求項 1 記載の光電変換装置。

【請求項 3】 複数画素からなる光電変換素子及び所定の制御情報を記憶する記憶手段を含む光電変換手段と、

上記光電変換素子の蓄積電荷の信号を所定の增幅率で増幅して読み出す読出手段と、

上記記憶手段に記憶された制御情報に基づいて上記読出手段での増幅率を制御する制御手段とを備えることを特徴とする光電変換装置。

【請求項 4】 上記光電変換手段は、上記光電変換素子における蓄積電荷の状態をモニタ出力するモニタ手段を更に含み、

上記制御手段は、上記記憶手段に記憶された制御情報に基づいて複数の状態情報から任意の状態情報を選択する選択手段と、上記モニタ手段の出力と上記選択手段で選択された状態情報を比較する比較手段とを含み、上記比較手段の比較結果に基づいて上記読出手段での増幅率を制御することを特徴とする請求項 3 記載の光電変換装置。

【請求項 5】 上記光電変換手段を複数備えることを特徴とする請求項 1 又は 3 記載の光電変換装置。

【請求項 6】 上記モニタ手段は、上記光電変換素子の最大蓄積電荷量に基づいた情報をモニタ出力することを特徴とする請求項 2 又は 4 記載の光電変換装置。

【請求項 7】 上記制御手段は、上記選択手段で選択された状態情報を上記制御情報として上記記憶手段に記憶させることを特徴とする請求項 2 又は 4 に記載の光電変換装置。

【請求項 8】 上記光電変換手段は、上記光電変換素子及び記憶手段が同一の基板上に形成されてなることを特徴とする請求項 1 又は 3 に記載の光電変換装置。

【請求項 9】 上記制御手段は、上記光電変換手段から読み出された蓄積電荷の信号に基づいて所定の情報を決定する決定手段を含み、上記決定手段で決定された情報を上記制御情報として上記記憶手段に記憶させることを特徴とする請求項 1 又は 3 に記載の光電変換装置。

【請求項 10】 複数画素からなる光電変換素子での電荷蓄積動作を制御する制御方法であって、

上記光電変換素子に対応して設けられたメモリの制御情報を読み出し、その制御情報に基づいて上記光電変換素子での電荷蓄積動作を制御する制御ステップを含むことを特徴とする制御方法。

【請求項 11】 上記制御ステップは、

上記光電変換素子での蓄積電荷の状態をモニタ出力するモニタ出力ステップと

上記メモリから読み出した制御情報に基づいて複数の状態情報から任意の状態情報を選択する選択ステップと、

上記モニタ出力ステップによるモニタ出力と上記選択ステップにより選択された状態情報を比較する比較ステップと、

上記比較ステップの比較結果に基づいて上記光電変換素子での電荷蓄積動作を制御する蓄積動作制御ステップとを含むことを特徴とする請求項 10 記載の制御方法。

【請求項 12】 上記制御ステップは、複数の上記光電変換素子に対応して

設けられた複数の上記メモリの制御情報に基づいて、各光電変換素子での電荷蓄積動作を各々制御するステップを含むことを特徴とする請求項10記載の制御方法。

【請求項13】 複数画素からなる光電変換素子での蓄積電荷の信号を所定の増幅率で増幅して読み出す動作を制御する制御方法であって、

上記光電変換素子に対応して設けられたメモリの制御情報を読み出し、その制御情報に基づいて上記増幅率を制御する制御ステップを含むことを特徴とする制御方法。

【請求項14】 上記制御ステップは、

上記光電変換素子での蓄積電荷の状態をモニタ出力するモニタ出力ステップと

上記メモリから読み出した制御情報に基づいて複数の状態情報から任意の状態情報を選択する選択ステップと、

上記モニタ出力ステップによるモニタ出力と上記選択ステップにより選択された状態情報を比較する比較ステップと、

上記比較ステップの比較結果に基づいて上記増幅率を制御する増幅率制御ステップとを含むことを特徴とする請求項13記載の制御方法。

【請求項15】 上記制御ステップは、複数の上記光電変換素子に対応して設けられた複数の上記メモリの制御情報に基づいて、各光電変換素子での蓄積電荷の信号の読み出しの上記増幅率を各々制御するステップを含むことを特徴とする請求項13記載の制御方法。

【請求項16】 上記モニタ出力ステップは、上記光電変換素子の最大蓄積電荷量に基づいた情報をモニタ出力するステップを含むことを特徴とする請求項11又は14に記載の制御方法。

【請求項17】 上記制御ステップは、上記選択ステップにより選択された状態情報を上記制御情報として上記メモリに記憶させるステップを含むことを特徴とする請求項11又は14に記載の制御方法。

【請求項18】 上記制御ステップは、上記光電変換手段から読み出された蓄積電荷の信号に基づいて所定の情報を決定する決定ステップと、上記決定ステ

ップにより決定された情報を上記制御情報として上記メモリに記憶させる記憶ステップとを含むことを特徴とする請求項10又は13に記載の制御方法。

【請求項19】 請求項1～9の何れかに記載の光電変換装置を含むことを特徴とする焦点検出装置。

【請求項20】 請求項10～18の何れかに記載の制御方法の処理ステップをコンピュータが読み出可能に格納したことを特徴とする記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、カメラやビデオ等の撮影機器や、種々の観察装置等に適用される光電変換装置、その制御方法、焦点検出装置、及び光電変換装置の制御方法を実施するための処理ステップをコンピュータが読み出可能に格納した記憶媒体に関するものである。

【0002】

【従来の技術】

従来より、被写体の焦点状態を検出し、それに応じて撮影レンズの距離を変化させることで自動的に焦点を合わせるようになされた所謂オートフォーカス（A F）カメラ等が種々提案されている。

このようなA Fカメラ等では、焦点状態を検出する方法として、例えば、被写体像を、複数の光電変換画素（以下、単に画素と言う）より構成された光電変換素子（以下、センサと言う）上に結像させ、そのセンサから出力される複数の画素信号に所定の演算処理を行うことで、焦点状態を検出する方法が採用されている。

この方法では、高輝度の被写体から低輝度の被写体までというように、様々な輝度レベルを有する被写体に対しても精度の良い焦点状態の検出を行うために、センサでの信号読み出しの増幅率（以下、ゲインと言う）と電荷蓄積時間を適切に制御することが不可欠となる。

この理由としては、複数の画素信号から構成される被写体の像信号（以下、映像信号と言う）のレベルが大きすぎると、装置で処理できる画素信号のダイナミ

ツクレンジを超えてしまい、結果的に映像信号が実際のものと異なり、かえって精度が悪くなる場合がある。また、逆に映像信号のレベルが小さすぎると、相対的にノイズが増えてしまい、これもまたかえって精度が悪くなる場合があるからである。

## 【0003】

そこで、図8に、センサ54での画素信号の読み出しのゲイン及び電荷蓄積時間制御するようになされた光電変換器500を示す。

## 【0004】

この光電変換器500は、複数の画素より構成されたセンサ54と、センサ54での電荷蓄積中にその最大蓄積電荷量を検知してそれを出力するピーク検知回路53と、センサ54での電荷蓄積終了後にその画素信号が転送され保持されるメモリ52と、カウンタ55と、カウンタ55のカウント値に従って複数のレベル値から選択したレベル値を出力するレベル出力回路56と、レベル出力回路56とピーク検知回路53の各出力を比較してその結果を出力するコンパレータ57と、メモリ52に保持された画素信号をカウンタ55のカウント値に従ったゲインで出力する読出アンプ58とを備えている。

## 【0005】

ここで、光電変換器500が備える各部は、コントローラ51により制御され、特に、このコントローラ51は、センサ54での電荷蓄積動作を制御するようになされている。

## 【0006】

具体的には、図9に示すように、先ず、コントローラ51は、リセット信号rstをセンサ54及びカウンタ55に対して出力する（ステップS501）。

これにより、センサ54は、各画素の電荷が全て初期化され、カウンタ55は、初期値”0”（count = 0）にリセットされる。

この後、センサ54での電荷蓄積動作が実際に開始される。

## 【0007】

次に、コントローラ51は、内部タイマ（図示せず）を初期値”0”（timer = 0）にセットすることで、電荷蓄積動作の時間計測を開始する（ステップS5

02)。

【0008】

次に、コントローラ51は、内部タイマのタイマ値timerが最大蓄積時間Etimeを超えたか否かを判別する（ステップS503）。

この判別の結果、"timer  $\geq$  Etime" であった場合、電荷蓄積動作終了とし、これを示す信号transをセンサ54に対して出力する。これにより、センサ54の各画素に蓄積された電荷は各々、画素信号としてメモリ52に転送され、センサ54での電荷蓄積動作が終了する（ステップS508）。

【0009】

一方、ステップS503の判別の結果、"timer  $\geq$  Etime" でなかった場合、コントローラ51は、コンパレータ57の出力信号compが"1"であるか否か、すなわちレベル出力回路56の出力信号c\_levelがピーク検知回路53の出力信号p\_outよりも大きいか否かを判別する（ステップS504）。

この判別の結果、"comp=1"でなかった場合には、上述したステップS503に戻り、以降の処理ステップを繰り返し行う。

【0010】

尚、レベル出力回路56の出力信号c\_levelについての詳細は後述する。

【0011】

ステップS504の判別の結果、"comp=1"であった場合、コントローラ51は、内部タイマのタイマ値timerが中間蓄積時間Htimeを超えたか否かを判別する（ステップS505）。

この判別の結果、"timer  $\geq$  Htime" であった場合には、上述したステップS508に進み、センサ54での電荷蓄積動作終了となる。

【0012】

ステップS505の判別の結果、"timer  $\geq$  Htime" でなかった場合、コンパレータ51は、カウンタ55のカウント値countが"3"であるか否かを判別する（ステップS506）。

この判別の結果、"count = 3"であった場合には、上述したステップS508に進み、センサ54での電荷蓄積動作終了となる。

## 【0013】

ステップS506の判別の結果、"count = 3"でなかった場合、コントローラ51は、信号up\_cをカウンタ55に対して出力する。これにより、カウンタ55のカウント値countがカウントアップされる（ステップS507）。

その後、上述したステップS503に戻り、以降の処理ステップを繰り返し行う。

## 【0014】

上述のようにして、センサ54での電荷蓄積動作制御が行われ、電荷蓄積動作終了後に画素信号が保持されたメモリ52は、コントローラ51が出力する信号shiftにより、その画素信号の読み出動作が制御される。

この制御によりメモリ52から読み出された画素信号s\_outは、読み出アンプ58によりゲインがかけられて出力端子Voutから出力される。

このとき、読み出アンプ58は、カウンタ55のカウント値countに従って、メモリ52からの画素信号s\_outをゲインをかけるようにする。

## 【0015】

また、センサ54での電荷蓄積動作の時間については、レベル出力回路56の出力信号c\_levelが切り換わることにより制御される。

以下、電荷蓄積動作時間とレベル出力回路56の出力信号c\_levelについて、図10（A）及び（B）を用いて模式的に説明する。

## 【0016】

尚、以下の説明では、レベル出力回路56は、4段階のレベル値"level1.0"～"level1.3"を有し、カウンタ55のカウント値countに従って、それらのレベル値を切り換えて出力するものとする。

また、上記図10（A）及び（B）では、横軸は電荷蓄積時間を示し、縦軸はレベル出力回路56の出力信号c\_level及びピーク検知回路53の出力信号p\_outの値を示すものとする。

また、上記図10（A）は、比較的被写体が明るく、各画素信号のピーク出力、すなわちピーク検知回路53の出力信号p\_outが速く上昇する場合を示しており、上記図10（B）は、これとは逆に比較的被写体が暗く、各画素信号のピ

ーク出力が遅く上昇する場合を示している。

### 【0017】

(図10 (A) の場合)

電荷蓄積動作が開始されると、先ず、カウンタ55のカウント値countが初期化されることにより（ステップS501）、レベル出力回路56の出力信号c\_levelは”level1.0”となる。

そして、電荷蓄積動作時間（内部タイマのタイマ値timer）が”A-1”となった時、ピーク検知回路53の出力信号p\_outがレベル出力回路56の出力信号c\_levelを上回り、この結果、コンパレータ57の出力信号compが”1”となると、カウンタ55のカウント値countがカウントアップされる（ステップS503～ステップS507）。このカウントアップされたカウント値countがレベル出力回路56に与えられることで、レベル出力回路56の出力信号c\_levelは”level1.1”となる。

次に、電荷蓄積動作時間が”A-2”となった時も同様に、カウンタ55のカウント値countがカウントアップされ、レベル出力回路56の出力信号c\_levelは”level1.2”となる。

次に、電荷蓄積動作時間が”A-3”となった時も同様に、カウンタ55のカウント値countがカウントアップされ、レベル出力回路56の出力信号c\_levelは”level1.3”となる。

そして、電荷蓄積動作時間が”A-4”となった時、この時にはカウンタ55のカウント値countが”3”であるため、センサ54での電荷蓄積動作が終了となる（ステップS506の判別の結果ステップS508へと進む）。

### 【0018】

(図10 (B) の場合)

電荷蓄積動作時間が”B-1”となった時、及び電荷蓄積動作時間が”B-2”となった時については、上述した”A-1”～”A-3”時と同様に、カウンタ55のカウント値countがカウントアップされ、レベル出力回路56の出力信号c\_levelは、”level1.0”から”level1.1”へと、”level1.1”から”level1.2”へとなる。

そこで、電荷蓄積動作時間が”A-3”となった時、ピーク検知回路53の出力信号p\_outが遅く上昇することにより、電荷蓄積動作時間が中間蓄積時間Htimeを超えたとすると、センサ54での電荷蓄積動作が終了となる（ステップS505の判別の結果ステップS508へと進む）。

#### 【0019】

上述のようにして、レベル出力回路56の出力信号c\_levelを4段階で切り換えることで、被写体が明るい場合には電荷蓄積動作時間を十分長くとり、被写体が暗い場合には電荷蓄積動作時間が長くなりすぎないようにする、というように被写体の状況にあわせて電荷蓄積動作時間を制御している。

#### 【0020】

また、読出アンプ58でのゲインは、カウンタ55のカウント値countに従って制御されており、これは、画素信号のピーク出力（p\_out）に従って読出アンプ58でのゲインを制御することになるため、この結果、装置で処理できる画素信号のダイナミックレンジを、常に有効に活用した画素信号の読出が可能となっている。

#### 【0021】

##### 【発明が解決しようとする課題】

しかしながら、上述したような従来の光電変換器500を、例えば、複数の測距点に対してAF機能することが可能な多点AFカメラに使用した場合、全ての測距点に対して、上記図8に示したようなコンパレータ57等を含む全ての各構成部を設ける必要があったため、その回路規模が膨大なものとなり、ICチップの面積増大を招く、という問題があった。

#### 【0022】

これを解決するために、1つのセンサを測距点毎の領域に分割し、各領域を順次走査しながら、1つのコントローラで電荷蓄積動作時間を制御する方法が考えられる。

この方法によれば、ICチップの面積の増大を抑えて、リーズナブルなチップサイズで、多点AFを実現することができる。

#### 【0023】

しかしながら、この方法において、各測距点の領域（センサ）での電荷蓄積時間を制御するために、各領域から画素信号を読み出しては比較するという手段で走査する場合、ある一つの領域に着目すると、電荷蓄積動作中、間欠的に電荷蓄積動作を終了するか否かの判別を行うことになる。

このような方法を上記図8に示した光電変換器500に採用した場合、電荷蓄積動作開始直後はレベル出力回路56の出力信号c\_levelが"level1.0"であるため、ピーク検知回路53の出力信号p\_outが急速に上昇する高輝度な被写体に対しては、カウンタ55のカウント値countが"3"となって電荷蓄積動作が終了することになる。このため、非常に時間がかかり、適切な電荷蓄積動作時間の制御ができず、被写体の映像信号のレベルがダイナミックレンジを超えてしまい、像の歪みの問題等が生じることが十分に考えられる。

#### 【0024】

そこで、本発明は、上記の欠点を除去するために成されたもので、如何なる被写体に対しても、常に適切な電荷蓄積動作制御が可能であり、ダイナミックレンジを有効に活用した画素信号の読み出しが可能であり、また、高精度なオートフォーカスも可能であり、さらには、回路規模も膨大にならず安価にこれを実現する光電変換装置、その制御方法、焦点検出装置、及び光電変換装置の制御方法を実施するための処理ステップをコンピュータが読み出可能に格納した記憶媒体を提供することを目的とする。

#### 【0025】

##### 【課題を解決するための手段】

斯かる目的下において、第1の発明は、複数画素からなる光電変換素子及び所定の制御情報を記憶する記憶手段を含む光電変換手段と、上記記憶手段に記憶された制御情報に基づいて上記光電変換手段での電荷蓄積動作を制御する制御手段とを備えることを特徴とする。

#### 【0026】

第2の発明は、上記第1の発明において、上記光電変換手段は、上記光電変換素子における蓄積電荷の状態をモニタ出力するモニタ手段を更に含み、上記制御手段は、上記記憶手段に記憶された制御情報に基づいて複数の状態情報から任意

の状態情報を選択する選択手段と、上記モニタ手段の出力と上記選択手段で選択された状態情報を比較する比較手段とを含み、上記比較手段の比較結果に基づいて上記光電変換手段での電荷蓄積動作を制御することを特徴とする。

【0027】

第3の発明は、複数画素からなる光電変換素子及び所定の制御情報を記憶する記憶手段を含む光電変換手段と、上記光電変換素子の蓄積電荷の信号を所定の増幅率で増幅して読み出す読出手段と、上記記憶手段に記憶された制御情報に基づいて上記読出手段での増幅率を制御する制御手段とを備えることを特徴とする。

【0028】

第4の発明は、上記第3の発明において、上記光電変換手段は、上記光電変換素子における蓄積電荷の状態をモニタ出力するモニタ手段を更に含み、上記制御手段は、上記記憶手段に記憶された制御情報に基づいて複数の状態情報から任意の状態情報を選択する選択手段と、上記モニタ手段の出力と上記選択手段で選択された状態情報を比較する比較手段とを含み、上記比較手段の比較結果に基づいて上記読出手段での増幅率を制御することを特徴とする。

【0029】

第5の発明は、上記第1又は3の発明において、上記光電変換手段を複数備えることを特徴とする。

【0030】

第6の発明は、上記第2又は4の発明において、上記モニタ手段は、上記光電変換素子の最大蓄積電荷量に基づいた情報をモニタ出力することを特徴とする。

【0031】

第7の発明は、上記第2又は4の発明において、上記制御手段は、上記選択手段で選択された状態情報を上記制御情報として上記記憶手段に記憶させることを特徴とする。

【0032】

第8の発明は、上記第1又は3の発明において、上記光電変換手段は、上記光電変換素子及び記憶手段が同一の基板上に形成されてなることを特徴とする。

【0033】

第9の発明は、上記第1又は3の発明において、上記制御手段は、上記光電変換手段から読み出された蓄積電荷の信号に基づいて所定の情報を決定する決定手段を含み、上記決定手段で決定された情報を上記制御情報として上記記憶手段に記憶させることを特徴とする。

【0034】

第10の発明は、複数画素からなる光電変換素子での電荷蓄積動作を制御する制御方法であって、上記光電変換素子に対応して設けられたメモリの制御情報を読み出し、その制御情報に基づいて上記光電変換素子での電荷蓄積動作を制御する制御ステップを含むことを特徴とする。

【0035】

第11の発明は、上記第10の発明において、上記制御ステップは、上記光電変換素子での蓄積電荷の状態をモニタ出力するモニタ出力ステップと、上記メモリから読み出した制御情報に基づいて複数の状態情報から任意の状態情報を選択する選択ステップと、上記モニタ出力ステップによるモニタ出力と上記選択ステップにより選択された状態情報を比較する比較ステップと、上記比較ステップの比較結果に基づいて上記光電変換素子での電荷蓄積動作を制御する蓄積動作制御ステップとを含むことを特徴とする。

【0036】

第12の発明は、上記第10の発明において、上記制御ステップは、複数の上記光電変換素子に対応して設けられた複数の上記メモリの制御情報に基づいて、各光電変換素子での電荷蓄積動作を各々制御するステップを含むことを特徴とする。

【0037】

第13の発明は、複数画素からなる光電変換素子での蓄積電荷の信号を所定の増幅率で増幅して読み出す動作を制御する制御方法であって、上記光電変換素子に対応して設けられたメモリの制御情報を読み出し、その制御情報に基づいて上記増幅率を制御する制御ステップを含むことを特徴とする。

【0038】

第14の発明は、上記第13の発明において、上記制御ステップは、上記光電

変換素子での蓄積電荷の状態をモニタ出力するモニタ出力ステップと、上記メモリから読み出した制御情報に基づいて複数の状態情報から任意の状態情報を選択する選択ステップと、上記モニタ出力ステップによるモニタ出力と上記選択ステップにより選択された状態情報を比較する比較ステップと、上記比較ステップの比較結果に基づいて上記増幅率を制御する増幅率制御ステップとを含むことを特徴とする。

#### 【0039】

第15の発明は、上記第13の発明において、上記制御ステップは、複数の上記光電変換素子に対応して設けられた複数の上記メモリの制御情報に基づいて、各光電変換素子での蓄積電荷の信号の読み出しの上記増幅率を各々制御するステップを含むことを特徴とする。

#### 【0040】

第16の発明は、上記第11又は14の発明において、上記モニタ出力ステップは、上記光電変換素子の最大蓄積電荷量に基づいた情報をモニタ出力するステップを含むことを特徴とする。

#### 【0041】

第17の発明は、上記第11又は14の発明において、上記制御ステップは、上記選択ステップにより選択された状態情報を上記制御情報として上記メモリに記憶させるステップを含むことを特徴とする。

#### 【0042】

第18の発明は、上記第10又は13の発明において、上記制御ステップは、上記光電変換手段から読み出された蓄積電荷の信号に基づいて所定の情報を決定する決定ステップと、上記決定ステップにより決定された情報を上記制御情報として上記メモリに記憶させる記憶ステップとを含むことを特徴とする。

#### 【0043】

第19の発明は、請求項1～9の何れかに記載の光電変換装置を含む焦点検出装置であることを特徴とする。

#### 【0044】

第20の発明は、請求項10～18の何れかに記載の制御方法の処理ステップ

をコンピュータが読み出可能に格納した記憶媒体であることを特徴とする。

【0045】

【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて説明する。

【0046】

(1) 第1の実施の形態

【0047】

本発明に係る光電変換装置は、例えば、図1に示すような光電変換装置100により適用される。

【0048】

この光電変換装置100は、多点AFが可能に構成されており、上記図1に示すように、コントローラ1と、複数のセンサ列ブロック $2_1 \sim 2_n$ と、レベル出力回路3と、選択信号付きバッファ4と、コンパレータ5と、読み出アンプ6とを備えている。

【0049】

また、複数のセンサ列ブロック $2_1 \sim 2_n$ は、複数の測距点（以下、領域1～nとする）に対応して設けられており、各々同様の構成をしている。

例えば、領域1～領域nのうち領域1に対応したセンサ列ブロック $2_1$ は、アナログスイッチ $11_1$ 及び $12_1$ と、選択信号付きバッファ $13_1$ と、メモリ $14_1$ と、ピーク検知回路 $15_1$ と、センサ $16_1$ と、RAM $17_1$ とを備えている。

【0050】

まず、上述のような光電変換装置100の各構成部について説明する。

【0051】

(コントローラ1)

コントローラ(controller)1は、制御手段に相当し、装置全体の動作制御、特に、各センサ列ブロック $2_1 \sim 2_n$ での電荷蓄積動作制御等を行う。

尚、詳細は後述するが、コントローラ1には、種々の動作制御を行うための処理プログラムが予め格納されたプログラムメモリ18が設けられており、このプ

ログラムメモリ 18 に格納された処理プログラムが、コントローラ 1 により読み出され実行されることで、電荷蓄積動作制御等を含む装置全体の動作制御が実施される。

#### 【0052】

(センサ列ブロック  $2_1 \sim 2_n$ )

センサ列ブロック  $2_1 \sim 2_n$  は、光電変換手段に相当する。

そこで、例えば、センサ列ブロック  $2_1$  において、センサ  $16_1$  は、位相差検出方式のため 1 対のセンサアレイからなり、約 30 ~ 80 画素で 1 像、同じ画素数で 2 像を形成するようになされている。

#### 【0053】

ピーク検知回路  $15_1$  は、モニタ手段に相当し、センサ  $16_1$  での電荷蓄積動作中に、その最大蓄積電荷量（複数画素中、一番高い出力を示している画素の出力値）を検知し、それをアナログスイッチ  $12_1$  に対して出力する。

この時、アナログスイッチ  $12_1$  がコントローラ 1 からの信号  $psel\_1$  により ON 状態であれば、ピーク検知回路  $15_1$  の出力信号  $p\_out$  は、アナログスイッチ  $12_1$  を介して、コンパレータ  $5_1$  の 1 つの入力端子（“+” 端子）に対して出力される。

#### 【0054】

メモリ  $14_1$  は、センサ  $16_1$  での電荷蓄積動作終了と同時に、センサ  $16_1$  に蓄積された電荷を画素信号として一時的に保持する。

この時、アナログスイッチ  $11_1$  がコントローラ 1 からの信号  $sel\_1$  により ON 状態であれば、コントローラ 1 が output する信号  $shift$  がメモリ  $14$  に与えられることで、メモリ  $14_1$  に保持された画素信号  $s\_out$  は、アナログスイッチ  $11_1$  を介して、読み出アンプ 6 の入力端子に対して順次出力される。

#### 【0055】

RAM  $17_1$  は、記憶手段に相当し、センサ  $16$  での電荷蓄積動作に関する情報（制御情報）を記憶するメモリであり、コントローラ 1 からの信号  $ltcR\_1$  が与えられると、後述するレベル出力回路 3 からの信号  $Rin$  の値が書き込まれる。

また、コントローラ 1 から選択信号付きバッファ  $13_1$  に信号  $rsel\_1$  が与え

られると、RAM17<sub>1</sub>の出力信号Roは、信号r\_outとして、選択信号付きバッファ13<sub>1</sub>を介して出力される。この出力された信号r\_outは、読出アンプ6及びレベル出力回路3に与えられる。ここで、信号r\_outは、2ビットのデータである。

## 【0056】

尚、他のセンサ列ブロック2<sub>2</sub>～2<sub>n</sub>については、上述のセンサ列ブロック2<sub>1</sub>と同様であるため、その詳細な説明は省略する。

## 【0057】

## (レベル出力回路3)

レベル出力回路3は、選択手段又は決定手段に相当し、例えば、図2に示すように、3つの抵抗器r\_1, r\_2, r\_3と、4つのアナログスイッチ21～24と、アンプ25と、デコーダ26と、セレクタ27と、カウンタ28とを備えており、セレクタ27には、センサ列ブロック2<sub>1</sub>～2<sub>n</sub>から選択的に出力される信号r\_out（例えば、センサ列ブロック2<sub>1</sub>では、RAM17<sub>1</sub>から選択信号付きバッファ13<sub>1</sub>を介して出力される信号r\_out）が与えられ、アンプ25の出力信号c\_level及びカウンタ28の出力信号c\_outがレベル出力回路3の出力とされる。ここで、出力信号c\_outは、2ビットのデータである。

## 【0058】

このようなレベル出力回路3において、3つの抵抗器r\_1, r\_2, r\_3は、2つの参照電位vref1, vref2間に設けられており、これにより、2つの参照電位vref1, vref2は4つに分圧され、その4つの電圧値（状態情報としてのレベル値）level1.3, level1.2, level1.1, level1.0は、アナログスイッチ21～24に対応して出力される。

この時、デコーダ26の出力により、アナログスイッチ21～24の何れか1つがON状態となり、そのON状態となったアナログスイッチの出力のみがアンプ25の入力端子に対して出力される。これにより、4つのレベル値level1.3, level1.2, level1.1, level1.0の何れか1つのレベル値が選択され、その選択されたレベル値が信号c\_levelとして、アンプ25から出力されることになる。

## 【0059】

デコーダ26は、セレクタ27の出力信号sel\_outに従って、4つのアナログスイッチ21～24の何れか1つを選択して、その選択したアナログスイッチをON状態とする信号を出力する。ここで、出力信号sel\_outは、2ビットのデータである。

## 【0060】

セレクタ27は、コントローラ1からの信号sel\_levelが与えられることで、カウンタ28の出力信号c\_outと、センサ列ブロック $2_1 \sim 2_n$ から選択的に出力される信号r\_outとの何れかを選択し、その選択した信号を信号sel\_outとして、デコーダ26に対して出力する。

## 【0061】

カウンタ28は、コントローラ1からの信号rst\_levelが与えられることで、そのカウント値が”0”に初期化され、コントローラ1からの信号G\_upが与えられることで、そのカウント値がインクリメントされる。このカウンタ28のカウント値が信号c\_outとなる。

尚、カウンタ28に与えられるコントローラ1からの信号max\_levelについては後述する。

## 【0062】

(選択信号付きバッファ4)

選択信号付きバッファ4には、レベル出力回路3からの信号c\_out(カウンタ28のカウント値)が与えられており、選択信号付きバッファ4は、コントローラ1から信号W\_ramが与えられることで、その信号c\_outを、センサ列ブロック $2_1 \sim 2_n$ のRAM $17_1 \sim 17_n$ に書き込む信号Rinとして出力する。

## 【0063】

(コンパレータ5)

コンパレータ5は、比較手段に相当し、レベル出力回路3からの信号c\_level(アンプ25の出力)と、センサ列ブロック $2_1 \sim 2_n$ から選択的に出力される信号p\_out(例えば、センサ列ブロック $2_1$ では、ピーク検知回路 $15_1$ からアナログスイッチ $12_1$ を介して出力される信号p\_out)が与えられる。そして、コンパレータ5は、これらの信号c\_levelと信号p\_outを比較し、こ

の比較結果を信号compとしてコントローラ1に対して出力する。

尚、コンパレータ5の出力信号compは、信号p\_outが信号c\_levelより大きい場合に”1”となる。

#### 【0064】

読出アンプ6は、読出手段に相当し、センサ列ブロック $2_1 \sim 2_n$ から選択的に出力される信号r\_out（例えば、センサ列ブロック $2_1$ では、RAM $17_1$ から選択信号付きバッファ $13_1$ を介して出力される信号r\_out）、及びセンサ列ブロック $2_1 \sim 2_n$ から選択的に出力される画素信号s\_out（例えば、センサ列ブロック $2_1$ では、メモリ $14_1$ からアナログスイッチ $12_1$ を介して出力される画素信号s\_out）が与えられる。そして、読出アンプ6は、画素信号s\_outに、信号r\_outに従ったゲインをかけて、信号Voutとして出力する。

#### 【0065】

以上、光電変換装置100の各構成部について説明した。

つぎに、光電変換装置100全体の動作制御、特に、センサ列ブロック $2_1 \sim 2_n$ での電荷蓄積動作制御を行うコントローラ1について具体的に説明する。

尚、本発明に係る制御方法は、このコントローラ1により実施される。

#### 【0066】

そこで、例えば、コントローラ1のプログラムメモリ18には、図3～図5に示すようなフローチャートに従った処理プログラムが予め格納されており、これらの処理プログラムがコントローラ1により読み出され実行されることで、以下のような電荷蓄積動作制御が行われる。

#### 【0067】

（メイン処理：図3）

先ず、コントローラ1は、次のようなリセット処理を行う（ステップS101）。

#### 【0068】

（メイン処理-リセット処理：図4）

先ず、コントローラ1は、リセット信号rstを各センサ列ブロック $2_1 \sim 2_n$ のセンサ $16_1 \sim 16_n$ に対して出力する（ステップS201）。

これにより、各センサ列ブロック  $2_1 \sim 2_n$  のセンサ  $16_1 \sim 16_n$  は、電荷がクリアされ、ここより実際の電荷蓄積動作が開始する。

## 【0069】

次に、コントローラ1は、センサ列ブロック選択（領域選択）のための内部レジスタ（図示せず）のレジスタ値  $r\_sel$  を初期値”1”にセットする（ステップS202）。

## 【0070】

次に、コントローラ1は、信号  $max\_level$  をレベル出力回路3に対して出力する（ステップS203）。

これにより、レベル出力回路3のカウンタ28のカウント値（信号  $c\_out$ ）が”3”となる。

## 【0071】

次に、コントローラ1は、信号  $W\_ram$  を選択信号付きバッファ4に対して出力すると共に、レジスタ値  $r\_sel$  に従って選択したセンサ列ブロック  $2_x$  のRAM  $17_x$  に対して、信号  $l_{tcR\_x}$  ( $x=1 \sim n$ ) を出力する（ステップS204）。

ここで、レジスタ値  $r\_sel$  は、選択するセンサ列ブロック（領域）を示すものであるため、” $x=r\_sel$ ” の関係となる。

これにより、レジスタ値  $r\_sel$  に対応したセンサ列ブロック  $2_x$  ( $x=r\_sel=1 \sim n$ ) のRAM  $17_x$  には、レベル出力回路3の出力信号  $c\_out$ （カウント値=”3”）が書き込まれる。

## 【0072】

そして、コントローラ1は、レジスタ値  $r\_sel$  が”n”であるか否か、すなわち全ての領域1～領域nに対応したセンサ列ブロック  $2_1 \sim 2_n$  のRAM  $17_1 \sim 17_n$  に”3”が書き込まれたか否かを判別する（ステップS205）。

## 【0073】

ステップS205の判別の結果、書き込み終了でない場合、コントローラ1は、レジスタ値  $r\_sel$  をインクリメントして（ステップS206）ステップS204に戻り、以降の処理を繰り返し行う。

これにより、全ての領域1～領域nに対応したセンサ列ブロック $2_1 \sim 2_n$ のRAM $17_1 \sim 17_n$ には”3”が書き込まれる。

この後、上記図3のメイン処理にリターンする（ステップS207）。

#### 【0074】

（メイン処理：図3）

上述のステップS101のリセット処理が終了すると、次に、コントローラ1は、内部タイマ（図示せず）を初期値”0”（timer = 0）にセットすることで、電荷蓄積動作の時間計測を開始する（ステップS102）。

#### 【0075】

次に、コントローラ1は、上述のリセット処理で用いた内部レジスタのレジスタ値r \_\_sel を初期値”1”にセットする（ステップS103）。

#### 【0076】

次に、コントローラ1は、内部タイマのタイマ値timer が最大蓄積時間Etimeを超えたか否かを判別する（ステップS104）。

この判別の結果、”timer  $\geq$  Etime”であった場合、後述するステップS109に進む。

#### 【0077】

ステップS104の判別の結果、”timer  $\geq$  Etime”でなかった場合、コントローラ1は、レジスタ値r \_\_sel に従って選択したセンサ列ブロック $2_x$ のアナログスイッチ $12_x$ に対して、信号psel\_x を出力する。

また、コントローラ1は、信号rsel\_x をセンサ列ブロック $2_x$ の選択信号付きバッファ $13_x$ に対して出力すると共に、信号sel\_level をレベル出力回路3に対して出力する（ステップS104）。

これにより、センサ列ブロック $2_x$ のピーク検知回路 $15_x$ の出力信号（最大蓄積電荷量）は、アナログスイッチ $12_x$ を介して、信号p\_out として、コンパレータ5の1つの入力端子（”+”端子）に対して出力される。

また、センサ列ブロック $2_x$ のRAM $17_x$ の出力は、選択信号付きバッファ $13_x$ を介して、信号r\_out として、読出アンプ6及びレベル出力回路3に与えられる。そして、レベル出力回路3では、セレクタ27により信号r\_out が

選択され、その選択信号はそのまま信号sel\_outとしてデコーダ26に与えられる。デコーダ26は、信号sel\_outに従って、4つのレベル値level1.3, level1.2, level1.1, level1.0の何れか1つのレベル値を選択する。その選択されたレベル値は、アンプ25を介して、信号c\_levelとして出力される。

## 【0078】

次に、コントローラ1は、コンパレータ5の出力信号compが”1”であるか否か、すなわちレベル出力回路3の出力信号（レベル値）c\_levelがセンサ列ブロック2xのピーク検知回路15xの出力信号p\_outよりも大きいか否かを判別する（ステップS106）。

この判別の結果、”comp=1”であった場合には、後述するステップS109の処理に進む。

## 【0079】

ステップS106の判別の結果、”comp=1”でなかった場合、コントローラ1は、内部タイマのタイマ値timerが中間蓄積時間Htimeであるか否かを判別する（ステップS107）。

この判別の結果、”timer =Htime”でなかった場合には、後述するステップS110の処理に進む。

ここで、この”timer =Htime”の意味は、内部タイマのタイマ値timerが中間蓄積時間Htimeにおおよそ等しいかという判別を意味し、後述するゲイン判別動作を全領域で終了できる時間は、充分”timer =Htime”と判別できる。

## 【0080】

ステップS107の判別の結果、”timer =Htime”であった場合、コントローラ1は、次のようなゲイン判別処理を行う（ステップS108）。

## 【0081】

（メイン処理—ゲイン判別処理：図5）

先ず、コントローラ1は、信号rst\_levelをレベル出力回路3に対して出力する（ステップS301）。

これにより、レベル出力回路3では、カウンタ28のカウント値が”0”にクリアされ、その出力信号c\_outは、”0”として出力される。

## 【0082】

次に、コントローラ1は、コンパレータ5の出力信号compが”1”であるか否か、すなわちレベル出力回路3の出力信号c\_levelがセンサ列ブロック2xのピーク検知回路15xの出力信号p\_outよりも大きいか否かを判別する（ステップS302）。

この判別の結果、”comp=1”でなかった場合には、後述するステップS305の処理に進む。

## 【0083】

ステップS302の判別の結果、”comp=1”であった場合、コントローラ1は、レベル出力回路3の出力信号c\_outが”3”であるか否かを判別する（ステップS303）。

この判別の結果、”c\_out=3”であった場合には、後述するステップS305の処理に進む。

## 【0084】

ステップS303の判別の結果、”c\_out=3”でなかった場合、コントローラ1は、信号G\_upをレベル出力回路3に対して出力する（ステップS304）。

これにより、レベル出力回路3では、カウンタ28のカウント値(c\_out)がインクリメントされる。

その後、上述したステップS302に戻り、以降の処理を繰り返し行う。

## 【0085】

上述したステップS302にて”comp=1”でないと判別された場合、又は、ステップS303にて”c\_out=3”であると判別された場合、コントローラ1は、信号W\_ramを選択信号付きバッファ4に対して出力すると共に、センサ列ブロック2xのRAMxに対して信号ltcR\_xを出力する（ステップS305）。

これにより、センサ列ブロック2xのRAM17xには、レベル出力回路3の出力信号c\_outが書き込まれる。

この処理の後、上記図3のメイン処理に戻る（ステップS306）。

## 【0086】

ここで、上述のように、このゲイン判別処理では、センサ列ブロック $2x$ のピーク検知回路 $15x$ の出力信号 $p\_out$ を基に、読出アンプ6でのゲインの判別、すなわち電荷蓄積動作を終了させるレベル（レベル出力回路3の出力信号 $c\_level$ ）の決定を行って、そのレベルに対応したカウント値（ $c\_out$ ）をセンサ列ブロック $2x$ のRAM $17x$ に書き込む。

このカウント値（ $c\_out$ ）、すなわちレベル出力回路3のカウンタ $28$ のカウント値は、初期値”0”から1つずつカウントアップしていくため、それに伴ってレベル出力回路3の出力信号 $c\_level$ も、”level1.0”から”level1.1”へ、”level1.1”から”level1.2”へというように、徐々にレベルが上がる。

## 【0087】

したがって、先ず、”level1.0”で”comp=1”とならない時は、ピーク検知回路 $15x$ の出力信号 $p\_out$ が”level1.0”よりも低いということになるため、電荷蓄積動作終了するレベルが”level1.0”と決定され、RAM $17x$ には、そのレベルに対応したカウント値（ $c\_out = 0$ ）が書き込まれる。

そして、”level1.0”で”comp=1”となった後、”level1.1”で”comp=1”とならない時は、ピーク検知回路 $15x$ の出力信号 $p\_out$ が”level1.0”と”level1.1”の間にあるということになるため、電荷蓄積動作終了するレベルが”level1.1”と決定され、RAM $17x$ には、そのレベルに対応したカウント値（ $c\_out = 1$ ）が書き込まれる。

以降同様にして、出力信号 $p\_out$ が”level1.1”と”level1.2”の間にある時には”level1.2”に決定され、出力信号 $p\_out$ が”level1.2”と”level1.3”の間にある時には”level1.3”に決定され、各々対応したカウント値（ $c\_out = 2, 3$ ）の書き込みが行われる。

## 【0088】

（メイン処理：図3）

一方、ステップS104の判別の結果”timer  $\geq$  Etime”であった場合（内部タイマのタイマ値 $timer$ が最大蓄積時間 $Etime$ を超えたとき）、又は、ステップS106の判別の結果”comp=1”であった場合（レベル出力回路3の出力信号

(レベル値)  $c\_level$  が、センサ列ブロック  $2_x$  のピーク検知回路  $1\ 5_x$  の出力信号  $p\_out$  を上回ったとき)、コントローラ1は、電荷蓄積動作終了とし、これを示す信号  $trans$  をセンサ列ブロック  $2_x$  のセンサ  $1\ 6_x$  に対して出力する(ステップ S 109)。

これにより、領域  $x$  に対応したセンサ列ブロック  $2_x$  では、センサ  $1\ 6_x$  の各画素に蓄積された電荷が各々画素信号としてメモリ  $1\ 4_x$  に転送され、センサ  $1\ 6_x$  での電荷蓄積動作が終了する。

#### 【0089】

このステップ S 109の処理後、又は、上述したゲイン判別処理(ステップ S 108)後、又は、”timer = Htime”でなかった場合(内部タイマのタイマ値  $timer$  が中間蓄積時間  $Htime$  を超えていないとき)、コントローラ1は、内部レジスタのレジスタ値  $r\_sel$  が”n”であるか否か、すなわち全ての領域  $1\sim$  領域  $n$  に対応したセンサ列ブロック  $2_1\sim2_n$  に対して、ステップ S 104～S 109の各処理を行ったか否かを判別する(ステップ S 110)。

#### 【0090】

このステップ S 110の判別の結果、” $r\_sel = n$ ”であった場合、コントローラ1は、初期領域  $1$  のセンサ列ブロック  $2_1$  を対象とするために、内部レジスタのレジスタ値  $r\_sel$  を”1”に戻し、ステップ S 104からの各処理を繰り返し行う。

また、” $r\_sel = n$ ”でなかった場合には、コントローラ1は、次の領域( $x+1$ )のセンサ列ブロック  $2_{x+1}$  を対象するために、内部レジスタのレジスタ値  $r\_sel$  をインクリメントして、ステップ S 104からの各処理を繰り返し行う。

#### 【0091】

以上、コントロール1によるセンサ列ブロック  $2_1\sim2_n$  での電荷蓄積動作制御を説明した。

そこで、図6 (A) 及び (B) を用いて、上述の電荷蓄積動作制御によるセンサ列ブロック  $2_1\sim2_n$  の動作を模式的に以下説明する。

#### 【0092】

尚、上記図6 (A) 及び (B) では、横軸は電荷蓄積動作時間を示し、縦軸はレベル出力回路3の出力信号c\_level 及びセンサ列ブロック2xのピーク検知回路15xの出力信号p\_out の値を示すものとする。

また、上記図6 (A) は、比較的被写体が明るく、各画素信号のピーク出力、すなわちセンサ列ブロック2xのピーク検知回路15xの出力信号p\_out が速く上昇する場合を示しており、上記図6 (B) は、これとは逆に比較的被写体が暗く、各画素信号のピーク出力が遅く上昇する場合を示している。

#### 【0093】

(図6 (A) の場合)

先ず、電荷蓄積動作が開始されると、全ての領域1～領域nに対応したセンサ列ブロック $2_1 \sim 2_n$ のRAM $17_1 \sim 17_n$ に”3”が書き込まれるため、レベル出力回路3の出力信号c\_level は、”level1.3”となる。

そして、ある領域xのセンサ列ブロック2xのピーク検知回路15xの出力信号p\_out が、この”level1.3”に達したとき (P\_A点) には、そのセンサ列ブロック2xでの電荷蓄積動作は終了する。

尚、他の領域に対応するセンサ列ブロックについても同様である。

#### 【0094】

(図6 (B) の場合)

先ず、電荷蓄積動作が開始されると、全ての領域1～領域nに対応したセンサ列ブロック $2_1 \sim 2_n$ のRAM $17_1 \sim 17_n$ に”3”が書き込まれるため、レベル出力回路3の出力信号c\_level は、”level1.3”となる。

ここで、この場合には、各画素信号のピーク出力 (p\_out) が遅く上昇する場合であることにより、電荷蓄積動作時間 (内部タイマのタイマ値timer) が中間蓄積時間Htime となったとき (P\_B1点) 、上記図5のゲイン判別処理 (ステップS108) が行われ、各領域1～nに対応したセンサ列ブロック $2_1 \sim 2_n$ に対して電荷蓄積動作終了のレベル (c\_level) が決定される。

この図6 (B) では、ある領域xのセンサ列ブロック2xのピーク検知回路15xの出力信号p\_out が、”level1.1”と”level1.2”の間にあるため、このセンサ列ブロック2xに対しては、c\_level が”level1.2”と決定され、この

情報（この場合には、”c\_out = 2”）がRAM17xに書き込まれる。そして、ピーク検知回路15xの出力信号p\_outが”level1.2”に達したとき（P\_B2点）に、そのセンサ列ブロック2xでの電荷蓄積動作は終了する。

尚、この領域x以外の領域に対応するセンサ列ブロックについても同様に、各々電荷蓄積動作終了のレベルが決定され、その情報がRAMに書き込まれ、決定された電荷蓄積動作終了のレベルにピーク出力が達したときに、そのセンサ列ブロックでの電荷蓄積動作は終了する。

#### 【0095】

以上説明したように、本実施の形態では、全ての領域1～nに対応したセンサ列ブロック $2_1 \sim 2_n$ のRAM $17_1 \sim 17_n$ に、各々での電荷蓄積動作に関する情報（ここでは、電荷蓄積動作終了のレベル（c\_level）に対応した値（c\_out））を書き込むようにしたので、各領域1～nに対応したセンサ列ブロック $2_1 \sim 2_n$ を各々独立して電荷蓄積動作制御することができる。

しかも、高輝度な被写体に対しても、従来のように、電荷蓄積動作開始直後にカウントアップ等の動作が行われないために、被写体の像信号がダイナミックレンジを超てしまい、像の歪みの問題が生じる、ということはない。

したがって、多点AFの測距点が増えたとしても、常に適切な電荷蓄積動作制御が可能であり、高精度な、且つ回路規模が膨大とならない安価な光電変換装置100を提供することができる。

#### 【0096】

##### （2）第2の実施の形態

本実施の形態では、例えば、上述した第1の実施の形態における光電変換装置100において、読出アンプ6での画素信号の読出動作制御を以下のようにする。

#### 【0097】

そこで、コントローラ1のプログラムメモリ18には、図7に示すようなフローチャートに従った処理プログラムが予め格納されており、この処理プログラムがコントローラ1により読み出され実行されることで、以下のような読出制御が行われる。

## 【0098】

先ず、コントローラ1は、画素信号の読み出しを行う領域を選択し（ここでは、領域 $x$ （ $x = 1 \sim n$ ）とする）、その領域 $x$ に対応した値（= $x$ ）を内部レジスタに格納する。そして、コントローラ1は、信号 $sel\_x$ をセンサ列ブロック $2x$ のアナログスイッチ $11x$ に対して出力する。

これにより、センサ列ブロック $2x$ において、メモリ $14x$ に保持された画素信号 $s\_out$ をアナログスイッチ $11x$ を介して読出アンプ6の入力端子に対して順次出力する準備が整う。

また、コントローラ1は、信号 $psel\_x$ をセンサ列ブロック $2x$ のアナログスイッチ $12x$ に対して出力する。

これにより、センサ列ブロック $2x$ において、ピーク検知回路 $15x$ の出力信号 $p\_out$ は、アナログスイッチ $12x$ を介してコンパレータ5の1つの入力端子（”+”端子）に対して出力される（ステップS401）。

## 【0099】

次に、コントローラ1は、上記図5のゲイン判別処理を行う。

これにより、センサ列ブロック $2x$ のピーク検知回路 $15x$ の出力信号 $p\_out$ を基に、レベル（レベル出力回路3の出力信号 $c\_level$ ）の決定が行われ、そのレベルに対応したカウント値（ $c\_out$ ）がセンサ列ブロック $2x$ のRAM $17x$ に書き込まれる（ステップS402）。

## 【0100】

そして、コントローラ1は、信号 $shift$ をセンサ列ブロック $2x$ のメモリ $14x$ に対して出力する。

これにより、メモリ $14x$ に保持された画素信号 $s\_out$ は、アナログスイッチ $11x$ を介して読出アンプ6の入力端子に対して順次出力される。

また、コントローラ1は、信号 $rsel\_x$ をセンサ列ブロック $2x$ の選択信号付きバッファ $13x$ に対して出力する。

これにより、RAM $17x$ に書き込まれた値（ $c\_out$ ）は、信号 $Ro$ として読み出され、選択信号付きバッファ $13x$ を介して、信号 $r\_out$ として、読出アンプ6に対して出力される。

したがって、読出アンプ6は、メモリ14xからの画素信号s\_outに、信号r\_outに基づいたゲイン、例えば、予め設定されている複数のゲインから信号r\_outに従って選択したゲインをかけて出力端子Voutから出力する（ステップS403）。

## 【0101】

以上説明したように、本実施の形態では、画素信号の読出直前に、上記図5のようなゲイン判別処理（電荷蓄積動作終了時のレベル決定）を行うようにしたので、例えば、動体予測AF等において、電荷蓄積動作時間を一定時間に設定することにより、電荷蓄積動作中にゲイン判別処理が行えなかったとしても、画素信号の読出直前にそのゲイン判別処理が行われ、その処理結果のゲインで画素信号の読み出しが行われる。したがって、常に適切な画素信号の読み出しを行う、さらに高精度な光電変換装置100を提供することができる。

## 【0102】

尚、本発明は、上述したAFカメラ等への適用に限らず、例えば、焦点検出機能を有する種々の装置に適用することができる。

## 【0103】

また、上述した第1及び第2の実施の形態では、ゲイン判別処理にピーク検出回路の出力を用いるようにしたが、これに限らず、例えば、ピークと共にボトムを検知し、それらの各出力の差分をとって得た所謂ピークボトム信号を用いるようにしてもよい。

## 【0104】

また、第2の実施の形態においては、第1の実施の形態では何等かの理由によりゲイン判別ができない場合に、読出直前にゲイン判別動作を行うといった応用が考えられる。

ここでの”何等かの理由”とは、例えば、

- ・最大蓄積時間Etimeが短い
- ・ピーク検出回路の代わりに、ピークとボトムの差分出力の回路を用いてゲイン判別を行う場合に、ピーク出力が所定レベルを超えたので、蓄積を終了させる動作を行った

とき等である。

【0105】

また、センサ列ブロック  $2_1 \sim 2_n$  のセンサ  $16_1 \sim 16_n$  としては、例えば、CCDやCMOSセンサ等、如何なるセンサでもよい。

【0106】

また、センサ列ブロック  $2_1 \sim 2_n$  のRAM  $17_1 \sim 17_n$  としては、例えば、ディジタル的なメモリでもよく、アナログ的なメモリでもよい。

【0107】

また、本発明の目的は、上述した第1及び第2の実施の形態のホスト及び端末の機能を実現するソフトウェアのプログラムコードを記憶した記憶媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（又はCPUやMPU）が記憶媒体に格納されたプログラムコードを読みだして実行することによっても、達成されることとは言うまでもない。

この場合、記憶媒体から読み出されたプログラムコード自体が前述した各実施の形態の機能を実現することとなり、そのプログラムコードを記憶した記憶媒体は本発明を構成することとなる。

【0108】

プログラムコードを供給するための記憶媒体としては、ROM、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード等を用いることができる。

【0109】

また、コンピュータが読みだしたプログラムコードを実行することにより、上述した第1～第2の実施の形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼動しているOS等が実際の処理の一部又は全部を行い、その処理によって実施の形態の機能が実現される場合も含まれることは言うまでもない。

【0110】

さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された拡張機能ボードやコンピュータに接続された機能拡張ユニットに備わるメ

モリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるC P Uなどが実際の処理の一部又は全部を行い、その処理によって上述した第1及び第2の実施の形態の機能が実現される場合も含まれることは言うまでもない。

【0111】

【発明の効果】

以上説明したように本発明によれば、光電変換素子に対応した記憶手段（情報の書き込む及び読み出しが可能なメモリ等）を設け、その記憶手段から読み出された制御情報に基づいて、光電変換素子での電荷蓄積動作（電荷蓄積動作の開始、終了等）やその画素信号の読み出し時の増幅率（ゲイン）を制御するようにしたので、如何なる輝度レベルを有する被写体でも、常に適切な電荷蓄積動作が可能となり、常に適切なゲインで画素信号の読み出しが可能となる。

特に、多点オートフォーカスカメラ等で測距点が多い場合でも、常に適切な電荷蓄積動作が可能となり、常に適切なゲインでの画素信号の読み出しが可能となる上に、その読み出しもダイナミックレンジを損なうことなく有効に活用した画素信号の読み出しが可能となり、高精度なオートフォーカスが可能となり、しかも回路規模が膨大にならず、安価にこれを提供可能となる。

また、光電変換素子及びそれに対応した記憶手段を一体で同一基板に形成することで、制御の効率化も図ることができ、測距点が多くても、さらに回路規模が膨大となることはなく、さらに安価で且つ操作性をも向上させることができる。

【図面の簡単な説明】

【図1】

第1の実施の形態において、本発明に係る光電変換装置を適用した光電変換装置の構成を示すブロック図である。

【図2】

上記光電変換装置のレベル出力回路の構成を示すブロック図である。

【図3】

上記光電変換装置のコントローラにより実行される電荷蓄積動作制御処理プログラム（メイン処理）を説明するためのフローチャートである。

【図4】

上記電荷蓄積動作制御処理プログラムのリセット処理プログラムを説明するためのフローチャートである。

【図5】

上記電荷蓄積動作制御処理プログラムのゲイン判別処理プログラムを説明するためのフローチャートである。

【図6】

上記光電変換装置での電荷蓄積動作を模式的に説明するための図である。

【図7】

第2の実施の形態において、上記光電変換装置のコントローラにより実行される画素信号の読み出動作制御処理プログラムを説明するためのフローチャートである。

【図8】

従来の光電変換装置の構成を示すブロック図である。

【図9】

従来の電荷蓄積動作制御処理を説明するためのフローチャートである。

【図10】

従来の光電変換装置での電荷蓄積動作を模式的に説明するための図である。

【符号の説明】

100 光電変換装置

1 コントローラ

2<sub>1</sub> ~ 2<sub>n</sub> センサ列ブロック

3 レベル出力回路

4 選択信号付きバッファ

5 コンパレータ

6 読出アンプ

111 アナログスイッチ

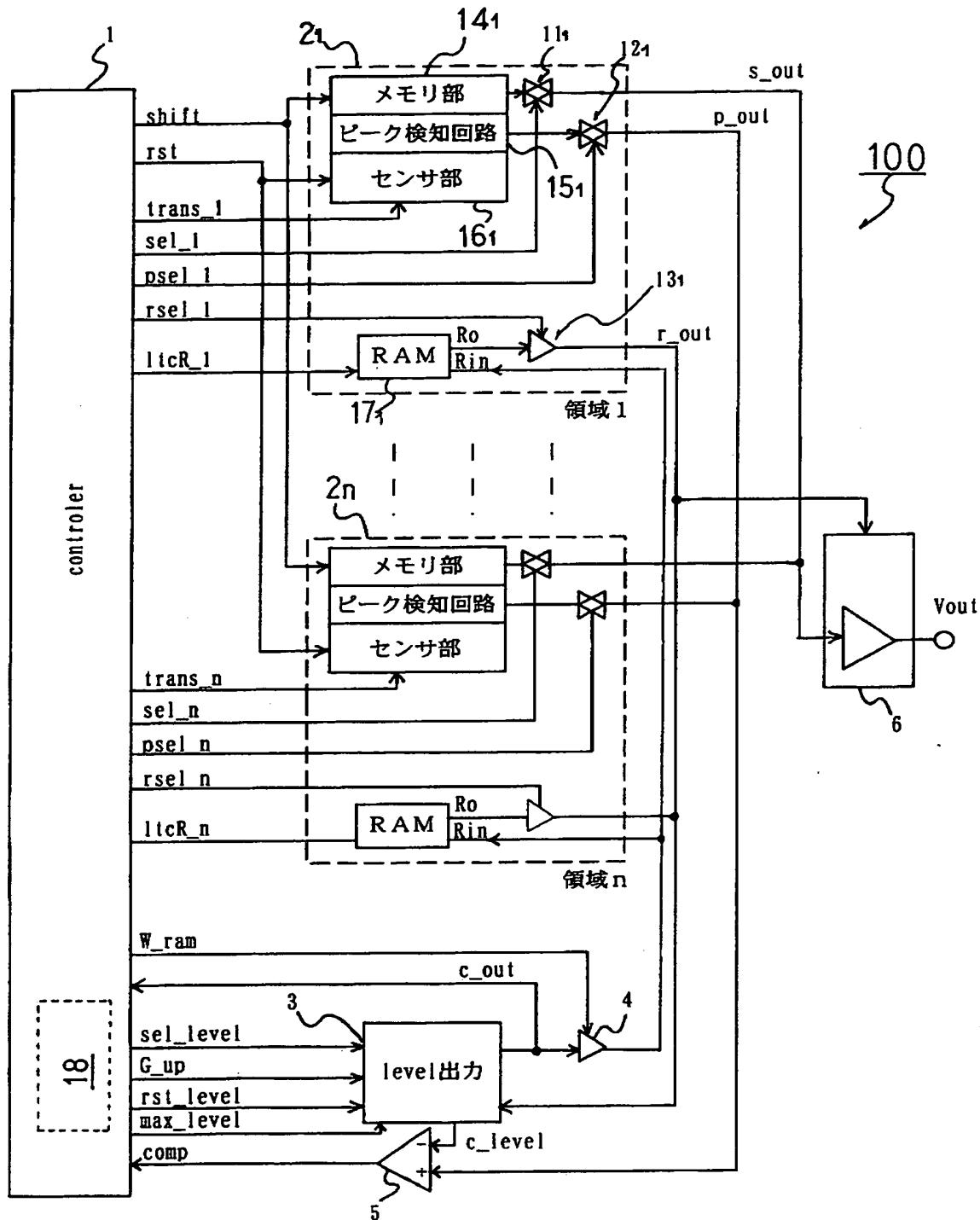
121 アナログスイッチ

131 選択信号付きバッファ

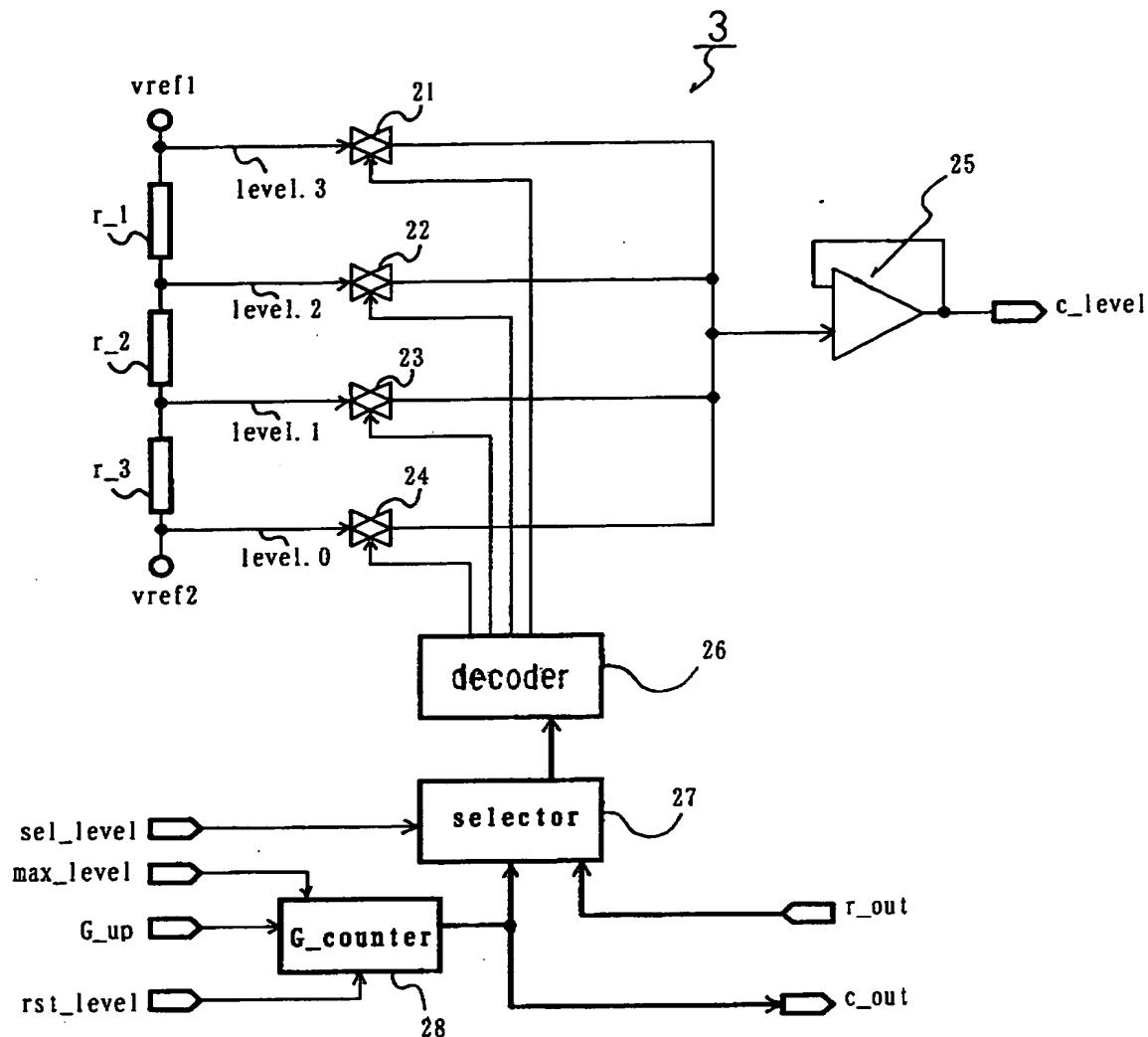
- 1 4 1 メモリ
- 1 5 1 ピーク検知回路
- 1 6 1 センサ
- 1 7 1 R A M
- 1 8 プログラムメモリ

【書類名】 図面

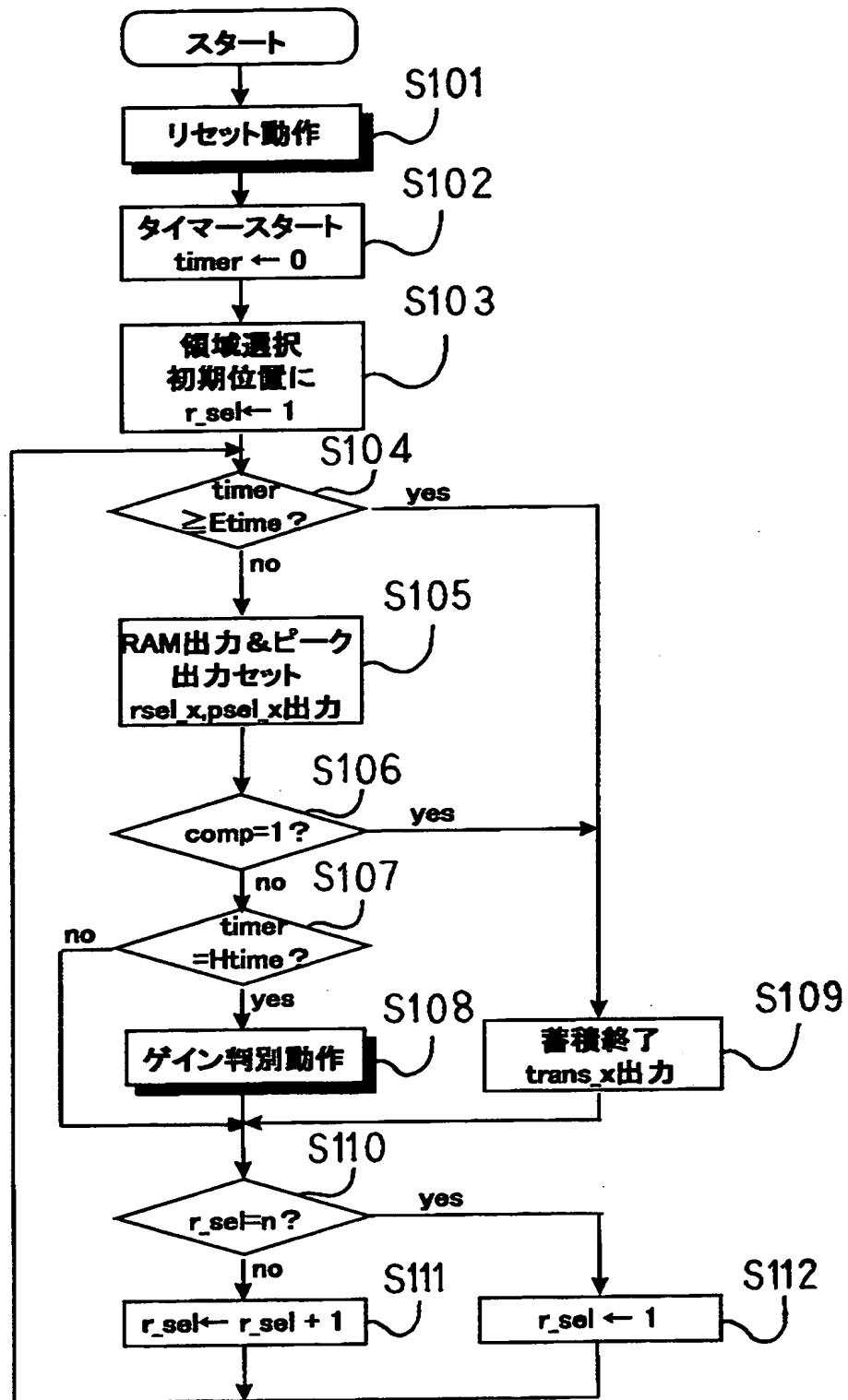
【図1】



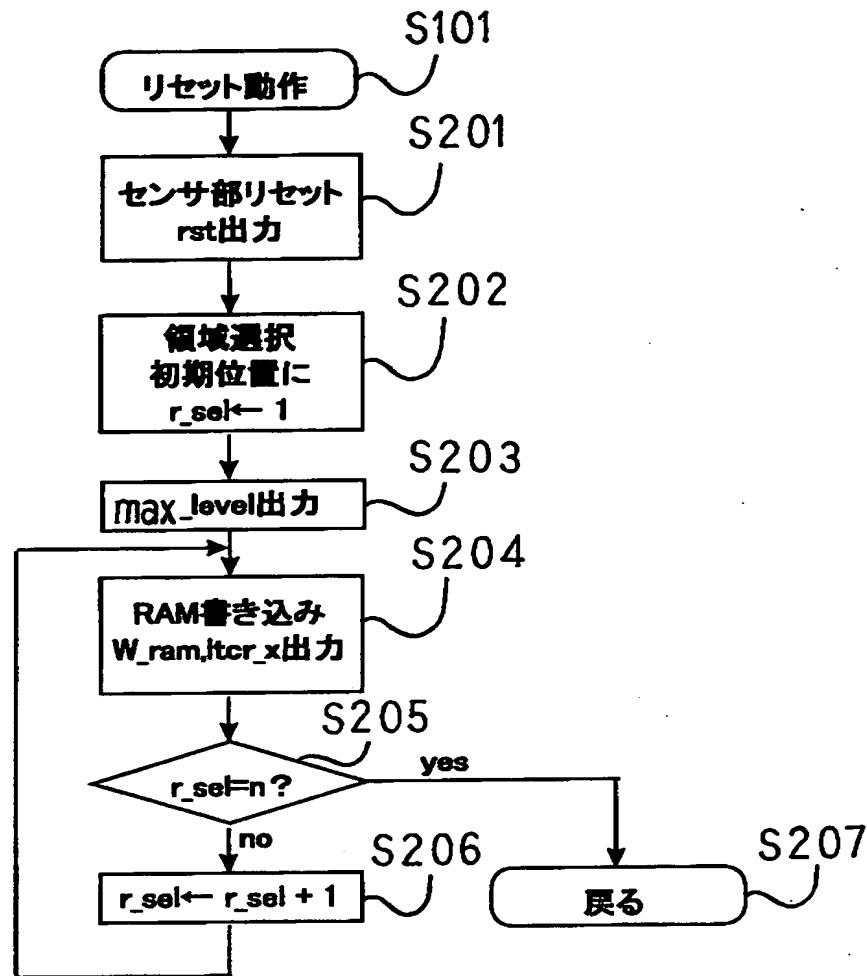
【図2】



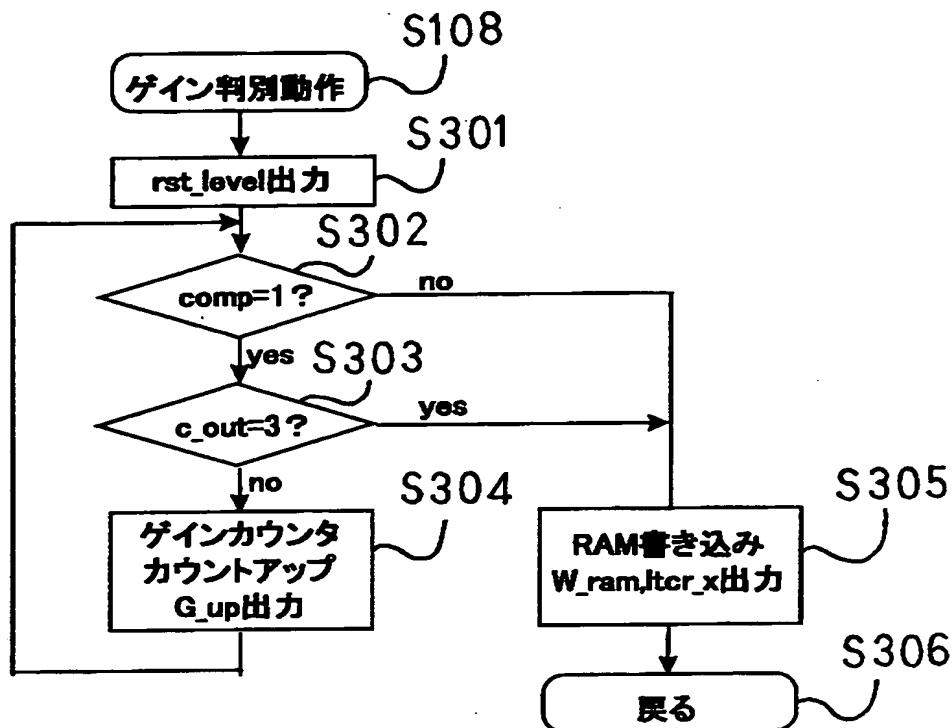
【図3】



【図4】

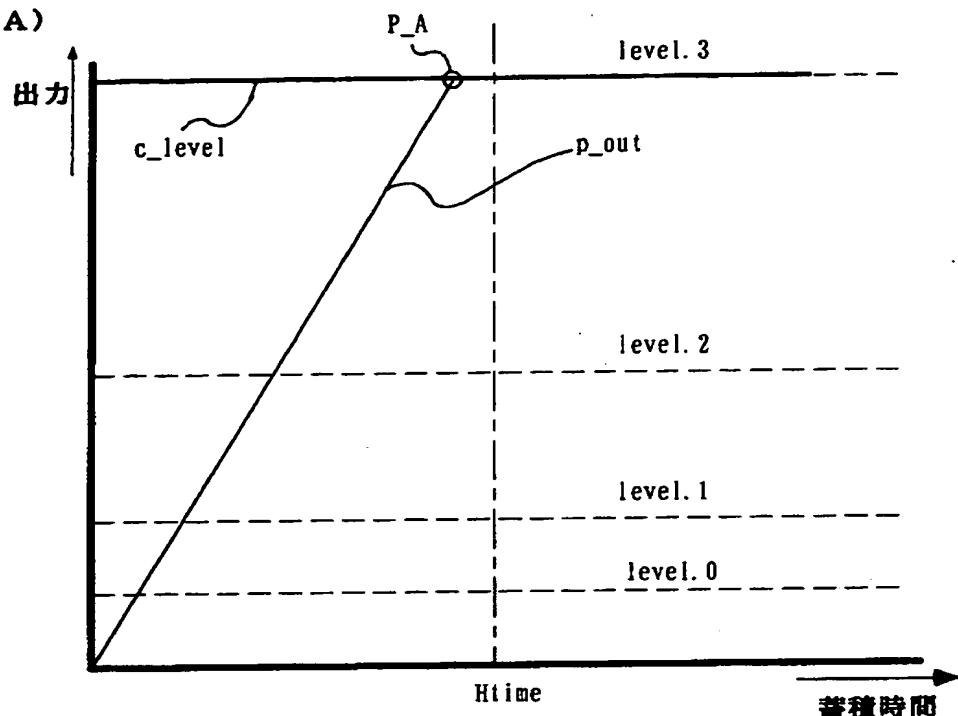


【図5】

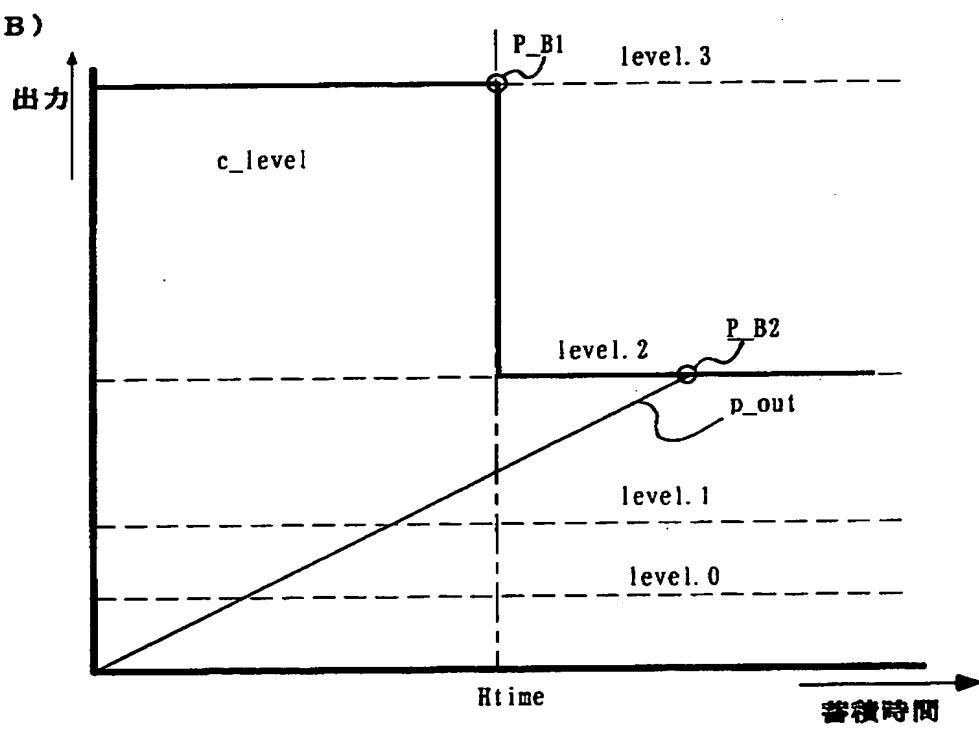


【図6】

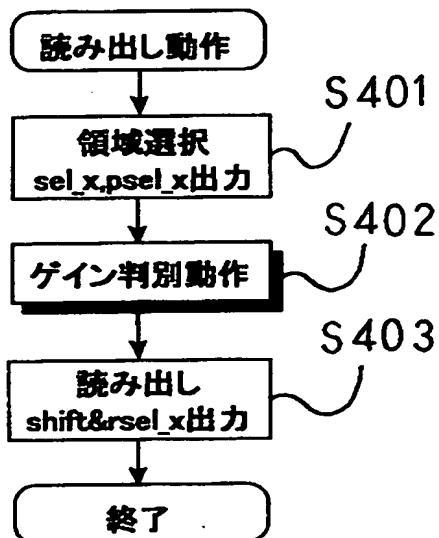
(A)



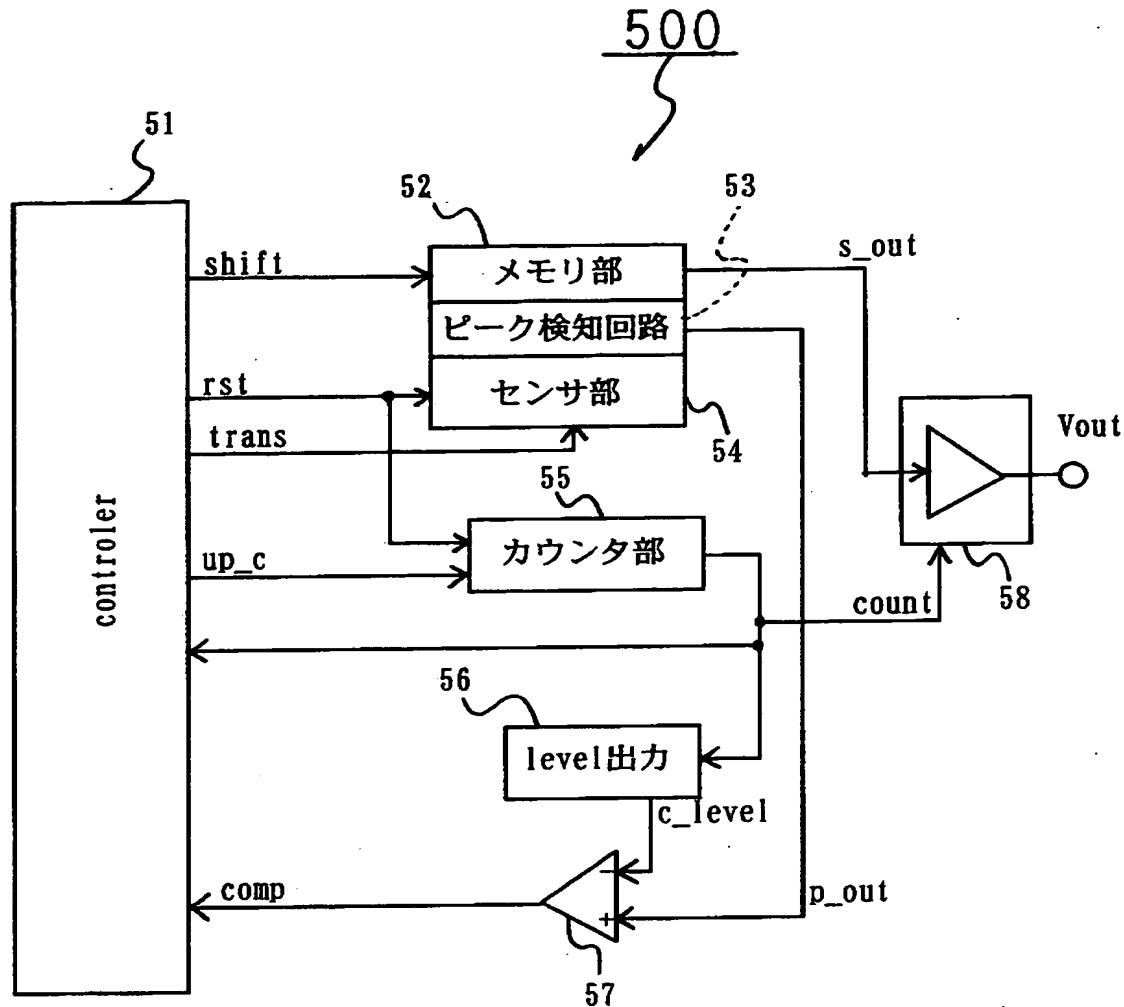
(B)



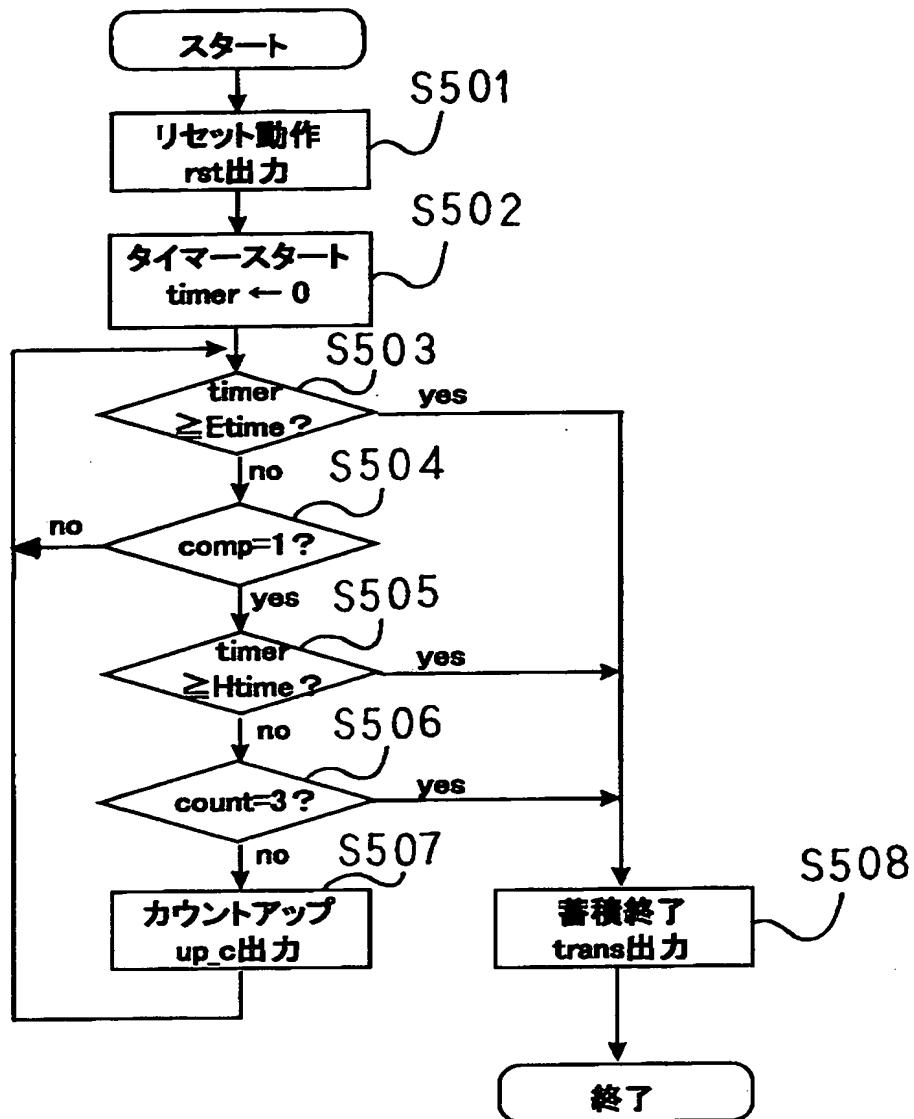
【図7】



【図8】

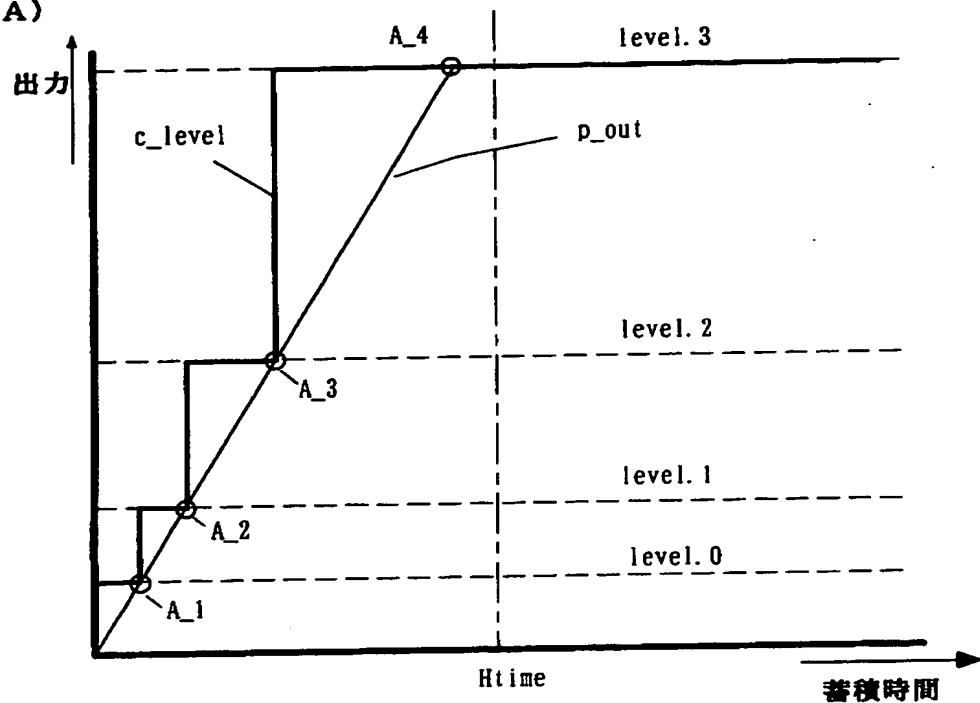


【図9】

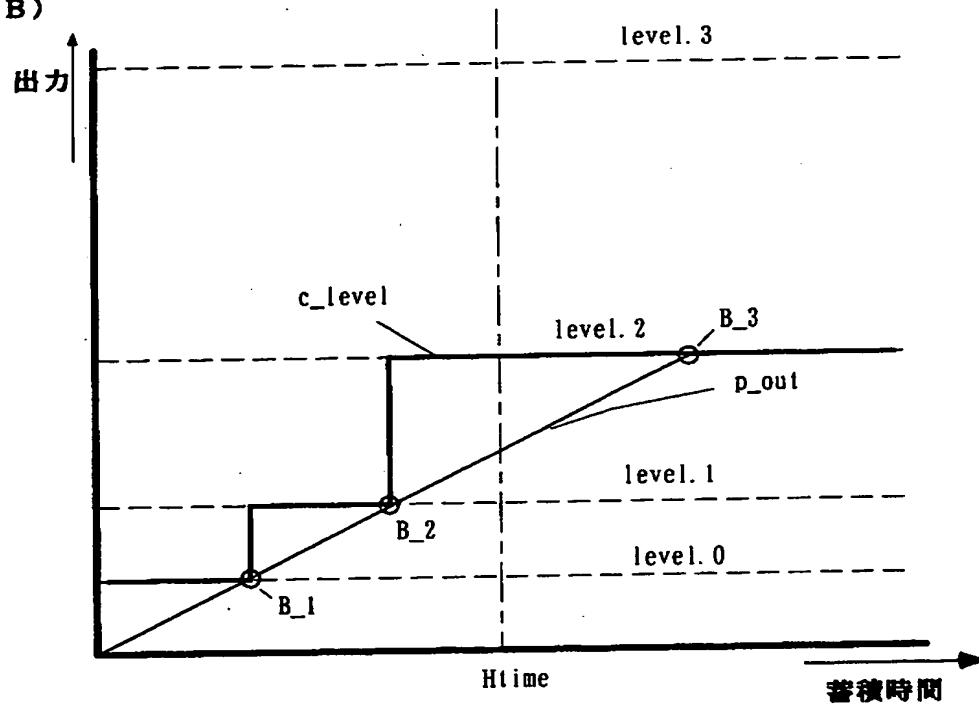


【図10】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 如何なる輝度レベルを有する被写体に対しても、常に適切な電荷蓄積動作制御が可能であり、ダイナミックレンジを有効に活用した画素信号の読み出しが可能であり、また、高精度なオートフォーカスも可能であり、さらには、回路規模も膨大にならず安価にこれを実現する光電変換装置を提供する。

【解決手段】 光電変換素子 $16_x$ に対応した記憶手段 $17_x$ を設け、制御手段1は、その記憶手段 $17_x$ から読み出された制御情報に基づいて、光電変換素子 $16_x$ での電荷蓄積動作（電荷蓄積動作の開始や終了等）を制御する。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

〈認定情報・付加情報〉

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100090273

【住所又は居所】 東京都豊島区東池袋1丁目17番8号 池袋T.G.ホ  
ーメストビル5階 國分特許事務所

【氏名又は名称】 國分 孝悦

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社